0254-6124/2012/32(6)-834–07 *Chin. J. Space Sci.* 空间科学学报

Liu Wei, Zeng Li, Song Jingxing. Design of data acquisition and processing unit for complex detector in the ionosphere. *Chin. J. Space Sci.*, 2012, **32**(6): 834-840

电离层综合探测器数据采集处理单元设计研究 *

刘 巍[1,2] 曾 立[2,3] 宋景星[3]

1(中国科学院大学 北京 100049)

2(中国科学院空间科学与应用研究中心 空间天气学国家重点实验室 北京 100190)

3(北京航空航天大学宇航学院 北京 100191)

摘 要 电离层综合探测器 (CDI) 是一种面向快速响应航天器平台、用于原位综合探测电离层等离子体及未完全电离中性气体的新概念空间环境探测仪器, 实现了对常规平板朗缪尔探针、阻滞势分析器和离子阱质量分析器的小型化、一体化设计与集成. 本文基于 USB2.0 接口和 FPGA (Field-Programmable Gate Array) 技术, 选用高集成度的 COTS (Commercial-Off-The-Shelf) 器件, 对 CDI 多通道数据采集处理单元的系统方案和硬件设计进行研究, 并对 FPGA 的逻辑资源利用情况和 Fusion 器件内部 ADC 采样以及 FIFO (First Input First Output) 读写时序进行了仿真和分析.

关键词 USB2.0, FPGA, 数据采集, 电离层综合探测器

中图法分类号 P 353, V 524

Design of Data Acquisition and Processing Unit for Complex Detector in the Ionosphere

LIU Wei[1,2] ZENG Li[2,3] SONG Jingxing[3]

1(*University of Chinese Academy of Sciences, Beijing* 100049)

2(*State Key Laboratory of Space Weather, Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing* 100190)

3(*School of Astronautics, Beihang University, Beijing* 100191)

Abstract Complex Detector in the Ionosphere (CDI), designed for fast responsive spacecraft platform, is a novel conceptual payload instrument for in-situ plasma and partially ionized gases complex measurement in the ionosphere. CDI is an integrated miniature of conventional planar Langmuir probe, retarding potential analyzer and ion trap mass analyzer. In this article, based on USB2.0 and FPGA (Field-Programmable Gate Array techniques using Commercial-Off-The-Shelf (COTS) parts

* 国家自然科学面上基金项目 (41074130) 和国家自然科学青年基金项目 (40604023) 共同资助

2011-05-25 收到原稿, 2012-04-27 收到修定稿

E-mail: liuwei34092122@163.com

with highly integration level, a multi-channel Data Acquisition and Processing Unit (DPAU for CDI instrument is designed. The DAPU system and hardware design are both introduced. In addition, analysis on logic resource of FPGA and simulation on reading and writing time sequence are also introduced in the article.

Key words USB2.0, FPGA, Data acquisition, Complex detector in the ionosphere

0 引言

2003 年, 美国开展了名为快速响应空间发射器的计划. 随后, 世界范围内开展了快速响应航天器相关技术研究, 其中重要的一项就是航天即插即用 (SPA) 技术 [1]. SPA 技术的核心是将地基应用即插即用接口和总线技术改造后应用于航天器. 目前航天器常用总线主要有 Space Wire 总线、MIL-STD-1553B 总线、I^2C 总线、Ethernet 总线、RS-232 总线、RS-485 总线、BITBUS 总线和 CAN 总线等 [2]. 其中, Space Wire 总线已成功应用于 ESA 的火星快车和 SMART-1 月球探测器, 中国实践 5 号采用了 RS-485 总线, 嫦娥一号采用 MIL-STD-1553B 总线, 子午工程探空火箭采用 I^2C 总线. 还有一些总线在商业应用上已经非常成熟, 经过一定改造也能应用到航天领域, 例如 USB 总线, 其具有高传输速率、高可靠性和支持即插即用的特点. USB 总线在实时性、通信速率、可靠性、开发及成本等方面的优势, 使其在航天领域具有很好的应用前景 [3]. SPA-U (USB-based Space Plug-and-Play Avionics)[4] 总线是将 USB1.1 或者 USB2.0 接口标准改进后作为航天器系统总线的, 其不改变 USB 标准电气部分的逻辑定义 (4 根线), 但额外增加了电源线 2 根、同步信号传输线 2 根以及接地导线 1 根, 最大传输速率 10 Mbps.

另外, COTS (Commercial-Off-The-Shelf) 器件在快速响应航天器中的应用日益广泛. COTS 器件的应用可大大减少空间电子设备的成本, 提高设备性能, 缩短设备开发周期. COTS 器件经过一定可靠性设计可达到空间探测工程任务对其可靠性的需求. 对于空间应用器件, 由于成本高且市场需求不足, 相同性能的器件比 COTS 器件晚 10 年左右 [5]. 当前空间计划中越来越多地采用了 COTS 器件以满足快速响应航天器低成本、低功耗、开发周期短的要求.

随着快速响应航天技术的发展和低成本高回报空间科学探测任务需求的增加, 空间环境探测有效载荷也随之朝着标准化、模块化、即插即用、小型/微小型化和集成化的方向发展. USB 总线具有即插即用和传输速率高的特点, 能够为快速响应航天器有效载荷和设备提供灵活的接口. COTS 器件性能高、成本低和开发周期短的特点, 使其在快速响应航天器载荷的开发应用中越来越受到重视. 本文基于 USB 接口和 FPGA (Field-Programmable Gate Array) 技术并利用 COTS 器件开展的电离层综合探测器数据采集处理单元设计研究, 是为适应快速响应航天器低成本、高回报的空间科学探测任务发展需求而进行的探索性工作.

1 电离层综合探测器简介

电离层综合探测器 (Complex Detector in the Ionosphere, CDI) 面向快速响应航天器发展需求, 采用先进的有效载荷设计理念, 将常规的平板 Langmuir 探针、阻滞势分析器和离子阱质量分析器进行小型化、一体化设计与集成, 具有集成化、微小型化、即插即用、模块化和标准化的特点. CDI 需要安装在航天器迎风面, 可用于原位综合探测地球或火星、金星等行星电离层等离子体电子和离子的温度、密度以及未完全电离的中性气体密度和成分, 为电离层动力学研究提供数据资料. CDI 由传感器和数据采集单元 (DAPU) 组成. 其中, 传感器包括微型电子探头、微型离子探头和微型中性气体质量分析器探头和传感器电子学电路. CDI 系统总线接口类型为 USB2.0, 其数据传输率高 (4.5 MHz)、成本低、可靠性高, 且支持即插即用和热拔插. CDI 总功耗 $\leqslant$ 4.2 W, 总质量 $\leqslant$ 3.1 kg.

CDI 主要性能指标列于表 1, 接口特性列于表 2.

2 数据采集处理单元系统设计

根据第 1 节对 CDI 的综合介绍, 要求 DAPU 具

有以下基本功能:

①与 USB 2.0 总线进行通信, 接收和响应 USB 总线控制信息, 输出数据率约为 4.5 Mbps;

②对传感器输出的 9 道 −10 ∼ +10 V 电压模拟量数据进行采集处理, 采集精度 12 bit, 采集频率 20 kHz;

③通过 D/A 输出 3 路电压模拟量对传感器进行驱动.

表 1 电离层综合探测器的设计性能指标

Table 1 Designed performance of CDI

	温度/K	密度	成分
电子	500∼10 000	$10^2 \sim 10^6\ \mathrm{cm}^{-3}$	–
离子	500∼10 000	$10^2 \sim 10^6\ \mathrm{cm}^{-3}$	O^+, H^+, He^+
大气	500∼3000	$10^{-10} \sim 10^{-4}$ Pa	–

此外, DAPU 的重量和功耗被分别限制在 1.3 kg 和 1.6 W 以内.

为满足上述功能和性能指标需求, 选用 Actel 公司基于 Flash 技术的混合信号 FPGA AFS600 作为数据采集处理单元的控制核心, USB 接口芯片采用 Cypress 公司的高速 EZ-USB FX2 系列 CY7C68013 芯片. 这两块芯片都具有高集成度, 其中, AFS600 内部集成了多路选择器和 ADC, 不需要外加 ADC, 简化了外围电路的复杂度, 也在一定程度上减少了数据采集处理单元的功耗. CY7C68013 单芯片集成了 USB2.0 收发器、智能穿行接口引擎 (SIE) 和增强型 8051 微处理器. 该芯片也具有较低功耗, 其 I_{cc} 不超过 85 mA, 工作电压 3.3 V. DAPU 结构如图 1 所示, 是一个由 FPGA 控制的多通道数据采集处 理系

表 2 电离层综合探测器传感器接口特性

Table 2 Sensor interface characteristics of CDI

接口类型	量值	接口类型	量值
工作电压	±5 V	最大工作电流	600 mA
模拟输出通道数目	9	模拟输出信号范围	−10 ∼ +10 V
采样精度	12 bit ADC	采样频率要求	20 kHz
模拟控制输入通道数目	3	控制信号范围	0∼5 V(控制精度 8 bit)
电源连接器类型	DB-9	信号连接器类型	DB-25
质量	1.8 kg	功耗	平均 2.6 W, 最大 3.0 W

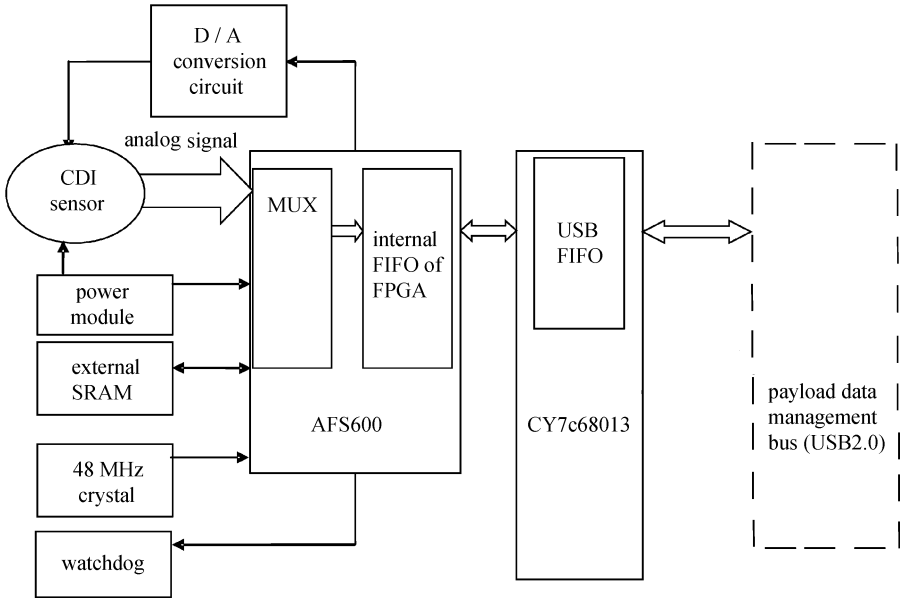

图 1 DAPU 结构框架

Fig. 1 Block diagram of DAPU

统. FPGA 作为数据采集单元的核心, 进行数据采集、处理、存储和通信等, 并控制 3 路 D/A 的电压输出以实现对 CDI 传感器内部工作电压的控制.

3　硬件设计

3.1　硬件设计

3.1.1　FPGA 控制核心

Fusion AFS600 FPGA 内部生成 A/D 控制模块、FIFO 模块、时钟模块以及 USB 控制模块. 各个模块在一定的时序控制下完成数据采集单元的功能, AFS600 内部功能模块结构如图 2 所示. 本设计中 AFS600 的全局时钟由外部晶振提供. AFS600 的 J1 引脚连接到外部晶振上, 外部晶振频率为 48 MHz.

Fusion AFS600 内部 ADC 参考电压为 2.56 V, 由于模拟 I/O 需要承受传感器 −10 ∼ +10 V 的模拟输出, 为使 ADC 能够采样大于 2.56 V 的电压信号, AFS600 使用了预处理器 (Pre-scaler) 对模拟输入电压进行预处理, 包括降压、升压、正负电压转化. 该模块集成于 FPGA 芯片的模拟模块中, 通过选择不同的调整因子将外部模拟电压输入调整到所需范围内, 预处理器如图 3 所示. 设计采用的调整因子为 0.3125, 将传感器 −10 ∼ +10 V 的模拟输出调整到 −5 ∼ +5 V 范围内.

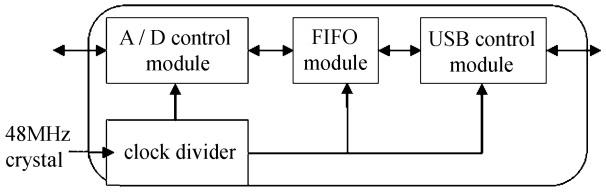

图 2　FS600 FPGA 内部功能模块结构

Fig. 2　Functional structure of FS600

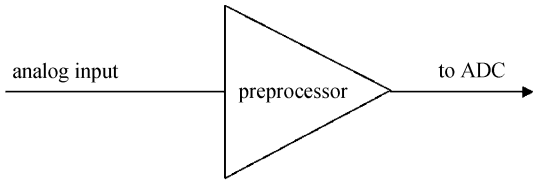

图 3　电压预处理器

Fig. 3　ADC status controller

(1) ADC 控制状态机

FPGA 状态控制机实现的功能是控制模拟多路选择器的选通信号以及 ADC 将模拟信号转换为数字信号. FPGA 的 ADC 控制状态机工作过程如下. 当系统上电或复位之后, 状态机进入空闲状态; 在空闲状态下, 当 fifo_full=0, 即 FPGA 的 FIFO 不满可以写入数据时, ADC 状态控制机进入 write1 状态, adc_con=1 在 write1 状态下 ADC 开始转换. 同时检测 adc_busy 信号, 当 adc_busy=0 时, 表示 ADC 转换完毕进入 write2 状态. 在 write2 状态下, adc_rd 有效, adc_rd=0, fifo_wr_en 有效, fifo_wr_en=1, 将 ADC 输出数据写入 FIFO.

(2) FIFO 模块

由于 A/D 转换速度与 USB 的传输速度不匹配, 因此, 需要在 FPGA 内部生成 FIFO 模块, 用于将 A/D 转换后的数据缓存. 当需要向 FIFO 写入数据时, 先检查 SYN_fifo 的 EMPTY 标志是否有效, 有效则表示 FIFO 为空, 能够写入数据. 当 FIFO 检测到 Wen 有效时将数据由 Din 写入. 同理, 需要读出数据时, 只要检测到 EMPTY 为无效即表示 FIFO 不为空, 当检测到 Ren 有效时即可读出数据. FIFO 读写时序仿真结果如图 4 所示.

(3) USB 状态控制机

USB 状态控制机可将 FPGA 的 FIFO 模块中数据写入 USB 接口芯片的 EP6 端点缓冲区. 其工作过程如下. 系统上电或复位之后进入空闲状态; 在空闲状态下 FPGA 的 FIFO 不为空 (fifo_empty=0) 且 EP6 (EP6_full=1) 不满时, 进入 write1 状态, 对 Cy7C608013 的 EP6 (adr=h2) 进行操作, 同时, 把数据写入 Cy7C68013 然后进入 write2 状态, write2 状态的输出与空闲状态一样. 之后回到空闲状态. 设置 write2 状态是为了提供一个时钟延迟. 由于 FPGA 的时钟频率比 Cy7C68013 快, 加入一个延迟后保证了数据传输的可靠性. USB 写时序仿真结果如图 5 所示.

(4) SRAM 存储

由于 FPGA 内核电压为 1.5 V、USB 接口芯片电源为 3.3 V, 电源模块用于将 5 V 的外部电压降压为 1.5 V 和 3.3 V 提供给 FPGA 内核与 US4B 接口芯片. 由于 FPGA 本身 RAM 存储空间只有 108 kbit, 不能满足 CDI 4.5 Mbit/s 数据率的需求, 因此, 增加

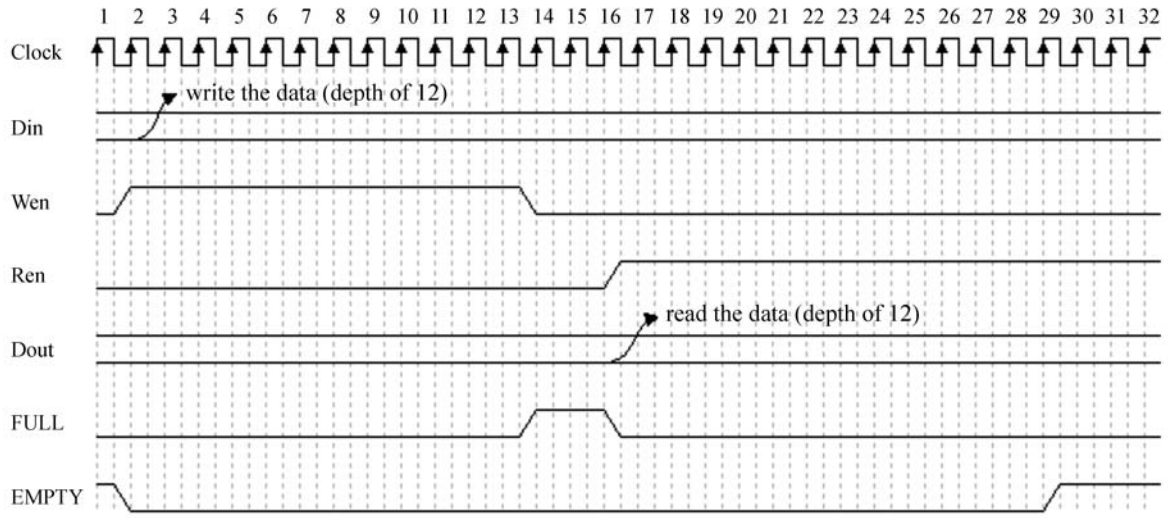

图 4 FIFO 读写时序仿真结果

Fig. 4 Write and read timing simulation diagram of FIFO

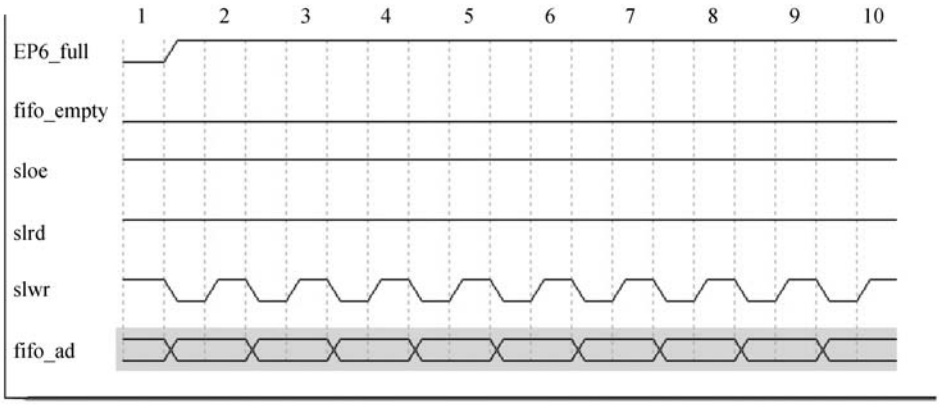

图 5 EP6 写时序仿真图

Fig. 5 Write timing simulation diagram of EP6

了外围 SRAM 存储器, 采用型号为 IS61LV51216 的 SRAM 芯片. 这是一款 512 kbit×16 的引脚功能兼容的 8 Mbit 异步 SRAM, 工作电压为 3.3 V, 制造工艺 0.15 μm. 其典型工作电流为 90 mA, 功耗约 0.3 mW.

由于 ADC 采样频率为 20 kHz, 采样通道为 9 道, 所以每秒采样的数据量为: $9 \times 20\,\text{kHz} \times 16\,\text{bit} = 2880\,\text{kbit} = 2.88\,\text{Mbit}$. 所选用的 SRAM 存储器容量大于每秒采样数据量的 2 倍, 符合降额 50% 的设计需求. 同时每秒采样的数据量小于 CDI 系统总线接口数据传输率 (4.5 Mbps), 能够及时将采集的数据上传到有效载荷数管.

3.1.2 USB 接口

CY7C68013 的接口模式选择为 Slave FIFO, 选择 EP2 和 EP6 端点与片外互传数据, EP2 作为 CY7C68013 的 In 端点, 可以接受外部数据, EP6 作为 OUT 端点向外部发送数据. FPGA 和 CY7C68013 的连接如图 6 所示.

①时钟 IFCLK 采用异步 FIFO 模式, 时钟采用 48 MHz 时钟.

② FLAGA, FLAGB, FLAGC 为 FIFO 标志脚, FPGA 通过这几个引脚来获得 USB 内部 FIFO 的

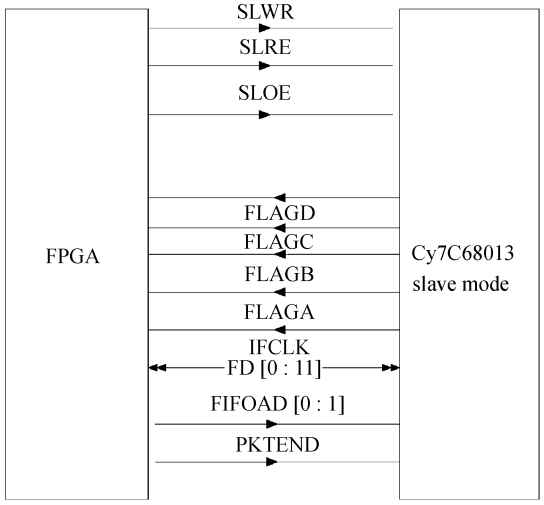

图 6　FPGA 和 CY7C68013 的连接示意

Fig. 6　Connection diagram of FPGA and CY7C68013

空、半满、满等状态信息. FLAGA 表示 EP2 的 FIFO 空, FLAGB 表示 EP6 的 FIFO 满.

③ SLOE 为数据 FD 输出使能信号, SLRD 为 FIFO 读信号, SLWR 为 FIFO 写信号.

④ PKTEND 表示包结束, 默认低有效.

⑤ FD 为 CY7C68013 的双向数据总线, 用于 FPGA 和 CY7C68013 之间的数据传递.

3.1.3　D/A 模块

通过 FPGA 处理逻辑控制 3 个 D/A 芯片输出, 从而控制 CDI 传感器工作电压. 控制信号分别为 OUTA, OUTB. D/A 芯片输出原理如图 7 所示. D/A 转换芯片采用 TLV5638. FPGA 通过输出管脚 DA_SCLK 为 TLV5638 提供工作时钟, 并控制管脚 DA_CS 变为低选通 D/A 芯片. 完成一次 D/A 数据转换需要选通信号在 16 个时钟内保持有效. 在时钟上升沿时 FPGA 输出 D/A 转换串行数据.

3.2　FPGA 内部 I/O 和 Core Cells 使用情况

DPAU 在采样通道为 9 路, 采样位数为 12 bit 时, 利用 Libero 集成综合工具 Synplify 综合后得到在下 DAPU 所占用的 FPGA 内部 I/O 和 Core Cells 的占用百分比列于表 3. 表 4 列出了 I/O 具体使用情况. 由于 Core Cells 的总数量多达 13824, 这里不再一一列出.

由表 3 可知, FPGA 内部 core cell 使用情况为 1559/13824, 百分比为 21%. I/O 占用使用情况为 36/172, 百分比为 11%. DAPU 所占用的 core cell 和 I/O 均不到 50%, 满足降额设计的要求.

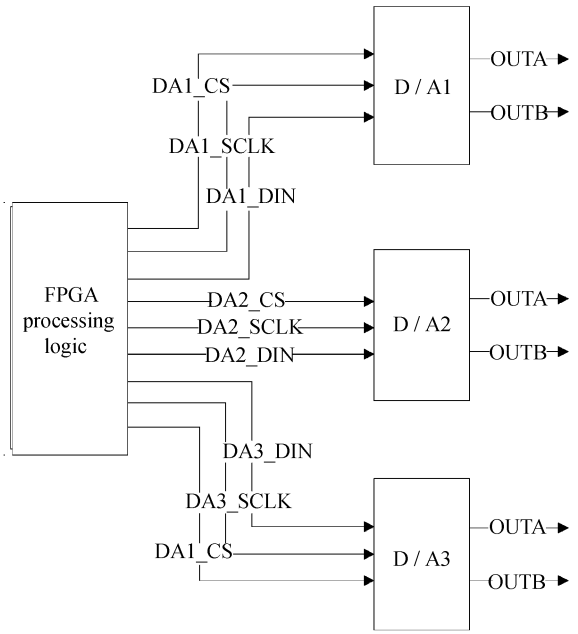

图 7　D/A 芯片输出原理

Fig. 7　Output schematic of D/A chip

表 3　FPGA 内部 I/O 和 core cells 的占用百分比

Table 3　Percentage of I/O and core cells used

cell	count	total	percentage
core cells	1559	13824	11%
I/O cells	36	172	21%

表 4　I/O 使用情况

Table 4　Usage of I/O

I/O cells	count
AB	1
CLKBUF	1
INBUF	2
INBUF_A	9
OUTVUF	23
TOTAL	36

4　结论

随着快速响应航天技术的发展和低成本、高回报空间科学探测任务需求的增加, 空间环境探测有效

载荷也在朝着标准化、模块化、即插即用、小型/微小型化和集成化的方向发展. 基于 USB2.0 接口即插即用和高传输速率的特点和 FPGA 技术, 选用高集成度、低成本的 COTS 器件, 对快速响应航天器电离层综合探测器的多通道数据采集处理单元的系统方案、硬件和软件设计进行了研究, 并对 FPGA 的逻辑资源和 Fusion 器件内部 ADC 采样以及 FIFO 的读写时序进行了仿真和分析, 为快速响应航天器低成本、高回报空间科学探测任务新型空间环境探测仪器 CDI 的发展奠定了基础.

致谢 中国科学院空间科学与应用研究中心王作桂副研究员和北京航空航天大学宇航学院空间科学研究所李伟老师在数据采集单元处理设计和仿真上给予了帮助.

参考文献

[1] Li Junbao. Modeling optimal modular bus system design for rapid responsive spacecraft [J]. *J. Astron.*, 2010, **31**(4):1219-1223. In Chinese (李君宝. 快响应航天器模块化总线优化设计的建模 [J]. 宇航学报, 2010, **31**(4):1219-1223)

[2] Li Haomo. Miniaturization and integration of small satellite payload [J]. *Semicond. Inf.*, 1998, **35**(1):9-12. In Chinese (李浩模. 小型卫星有效载荷的小型化与集成化 [J]. 半导体情报, 1998, **35**(1):9-12)

[3] Xing Kefei, Yangjun, Wang Yueke, *et al.* Study on the anti-radiation technique for Xilinx SRAM-based FPGA [J]. *J. Astron.*, 2007, **28**(1):123-151. In Chinese (邢克飞, 杨俊, 王跃科. Xilinx SRAM 型 FPGA 抗辐射设计技术研究 [J]. 宇航学报, 2007, **28**(1):123-151)

[4] Panqing, Liao Yurong. Concepts and Research of Rapid Response [M]. National Defense Industry Press, 2010. In Chinese (潘清, 廖育荣, 等. 空间概念与研究进展 [M]. 北京: 国防工业出版社, 2010)

[5] You Zheng, Tian Hexiang, Li Bin, *et al.* Plug-and-play technology for an integration electronic system in a micro-satellite [J]. *J. Tsinghua Univ.: Sci. Tech.*, 2009, **49**(11):8-13. In Chinese (尤政, 田贺祥, 李滨, 等. 微小卫星综合电子系统中的即插即用技术 [J]. 清华大学学报, 2009, **49**(11):8-13)

[6] Wang Wenhua, Han Shuangli, Zhang Yu, *et al.* Research on the reliability of FPGA configuration in space-based systems [J]. *Chin. J. Space Sci.*, 2011, **31**(1):106-111. In Chinese (王文华, 韩双丽, 张宇, 等. 航天应用 FPGA 配置可靠性研究 [J]. 空间科学学报, 2011, **31**(1):106-111)

[7] Wang Xuying, Lu Yinghua, Zhang Likun. Design and implementation of high speed real-time data acquisition system based on FPGA [J]. *J. China Univ. Posts Telecommun.*, 2006, **13**(4):61-66

[8] Yang, Shujie, Guo, Zonglian. Development of high-speed data acquisition system based on FPGA [J]. *Elec. Power Autom. Equip.*, 2008, **28**(6):93-96

[9] Baronti F, Lazzeri A, Roncella R, *et al.* FPGA/DSP-based implementation of a high-performance multichannel counter [J]. *J. Syst. Archit.*, 2009, **55**(10):310-316