0254-6124/2014/34(4)-497–08 *Chin. J. Space Sci.* 空间科学学报

Zhou Li, An Junshe, Fang Qingwen, Cai Fei. Design of an ASIC chip for spacecraft integrated avionics (in Chinese). *Chin. J. Space Sci.*, 2014, **34**(4): 497-504, doi:10.11728/cjss2014.04.497

# 一种面向航天器综合电子的 ASIC 芯片设计*

周 莉[1,2] 安军社[1] 方青文[1,2] 蔡 飞[3]

1(中国科学院空间科学与应用研究中心 北京 100190)

2(中国科学院大学 北京 100049)

3(中国科学院计算技术研究所 北京 100190)

**摘 要** 航天器综合电子系统通用功能集成并芯片化是目前航天器电子系统的发展趋势. 针对中国航天器电子系统小型化、综合化的应用需求, 提出一种面向航天器综合电子的 ASIC 芯片设计方案, 分析了 ASIC 芯片设计中的关键技术, 包括芯片系统工作模式、IP 核的开发应用、可靠性和低功耗设计, 1553B 简易终端控制模式是芯片的技术特色和典型应用. ASIC 芯片的功能设计、系统仿真验证、FPGA 验证和物理设计均已完成, 进入流片状态. 芯片的 FPGA 验证结果证明了芯片设计的有效性和可靠性. ASIC 芯片旨在达到国军标 548S 的要求, 应用场景是航天器内数据总线接口单元和遥测遥控.

**关键词** 航天器综合电子系统, 数据管理系统, ASIC 芯片, MIL-STD-1553B 总线, 遥测遥控

**中图分类号** V 443

# Design of an ASIC Chip for Spacecraft Integrated Avionics

ZHOU Li[1,2] AN Junshe[1] FANG Qingwen[1,2] CAI Fei[3]

1(*Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing* 100190)

2(*University of Chinese Academy of Sciences, Beijing* 100049)

1(*Institute of Computing Technology, Chinese Academy of Sciences, Beijing* 100190)

**Abstract** It is a trend to put the common spacecraft engineering requirements into one chip, which can miniaturize spacecraft avionics and reduce the repeated work for spacecraft engineers. Based on the analysis of space application requirements, the system design of an ASIC (Application Specific Integrated Circuit) chip for spacecraft telemetry and command system is proposed. Firstly, the chip system architecture is described. Secondly, four key techniques of the ASIC chip design are presented in detail, including design of the chip working modes, design of onchip IP cores, design of reliability, and the design of low power consumption technology. 1553B RT working mode of this ASIC is different and special from other space chips. The system test results based on FPGA show

* 国家重大科技专项 (TY3-201106) 和中国科学院空间科学战略性先导科技专项 (XDA04070000) 共同资助

2013-04-22 收到原稿, 2013-09-26 收到修定稿

E-mail: zhouli@nssc.ac.cn

the validity and reliability of the ASIC system design. Finally, some promising applications of the ASIC chip are described.

**Key words** Spacecraft integrated avionics, Onboard data handling system, ASIC chip, MIL-STD-1553B, Telemetry and Command

## 0 引言

航天器综合电子系统主要应用于卫星、飞船等航天器内, 实现信息的采集、处理、分配以及存储. 随着技术的发展, 航天器综合电子系统已从简单的集中控制型系统发展到目前的分布式系统. 分布式的航天综合电子系统通常采用 1553B 总线将系统中各子系统连接在一起, 共同构成分布式计算网络, 从而实现综合化系统内部的信息共享以及控制 [1].

20 世纪 90 年代, 美国戈达德空间飞行中心 NASA-GSFC 开发的星用标准化片上数据系统 [2], 质量标准已经达到 38534-H, 即宇航级水平. 目前中国航天器电子系统中的子系统 (又称单机) 在实现数据采集、遥测、遥控等功能时通常采用分立的器件 [3], 由于受到元器件及技术的限制, 电子系统中的单机常常只能实现板级甚至芯片级的功能 [2−6], 这种航天器综合电子系统的实现方式不但增加了器件成本, 还造成系统电路板质量、体积、功耗较大, 可靠性和集成化程度不高, 不利于航天器轻小型化技术的发展.

对航天器综合电子系统中常用的功能进行集成并芯片化, 是当今航天器电子系统的发展趋势和研究热点 [3,7], 也是中国航天器轻小型化发展的迫切要求. 2009 年, 中国科学院空间科学与应用研究中心与中国科学院计算技术研究所合作完成了一款高性能的抗辐照星载计算机 SOC 芯片, 即 WH1770 芯片. 经过振动、高低温、热真空、抗辐照等试验验证 [8−10], WH1770 性能相当于 AT697. 其设计侧重于高性能和抗辐照的星载计算机, 本文在分析中国航天器电子系统综合化和轻小型化应用需求的基础上, 提出一种侧重航天器综合电子遥测遥控的 ASIC 芯片设计方案, 取名 WH1771. WH1771 也是与中国科学院计算技术研究所合作完成, 由于模拟电路、存储器与数字电路工艺差距大, 因此芯片设计旨在集成航天器综合电子系统中常用的控制逻辑功能. 待 ASIC 芯片成熟后, 将利用 MCM (Multichip Module) 技术将 ASIC、存储芯片以及外围的 AD 等模拟电路集成到一个芯片中.

## 1 ASIC 芯片系统设计

航天器综合电子系统完成传统的遥控、遥测、程控、星上自动控制、校时等任务并为平台和有效载荷提供全面综合的服务与管理. 单机常需要具备的功能有 CPU、总线接口、AD 采集、OC 控制、串行通信接口、计数器、GPIO、PWM 等, 这些外设的控制通常由 CPU 与 FPGA 联合完成, 不仅造成质量体积及功耗的增加, 而且增加了繁冗的软件和文档编写等工作.

根据模块化、通用化、小型化的设计原则, 本文提出一种面向航天器综合电子系统的 ASIC 芯片设计方案 (见图 1), 其包括一个 MIPS 核, 常用的计算机接口逻辑 PCI 总线接口和 ISA 总线接口, 支持串行 1553B 总线、CAN 接口和 UART 串口, 支持以太网和外部存储器的接口 EMI. 片上包含的外设有 AD 采集控制逻辑 (简称 AD)、OC 门控制逻辑 (简称 OC)、UART 串口通信 (简称 UART)、PWM 脉宽调制控制接口 (简称 PWM)、可编程的脉冲计数器 PPC (简称 PPC)、PCM 遥测遥控 (简称 PCM)、GPIO 控制逻辑 ( 简称 GPIO) 等. ASIC 芯片内部总线采用目前广泛应用的以高性能低功耗著称的 AMBA 总线, AMBA 总线包括高性能的系统总线 AMBA AXI 和低功耗的外围总线 AMBA APB 总线. AXI 总线与 APB 总线通过 AXI/APB 桥连接. 其中, 芯片内的 MIPS 核、PCI 总线接口、ISA 总线接口、网络接口、CAN 接口、外部存储器 EMI 接口和 AMBA 总线由中国科学院计算技术研究所自主开发的 IP 核实现. 由于芯片面积限制, 在芯片的物理设计中, 网口以及一个 1553B 协议处理器被裁掉.

这里重点介绍 ASIC 芯片设计中的几个关键技术, 包括芯片工作模式设计、IP 核开发与应用、可靠性设计和低功耗设计.

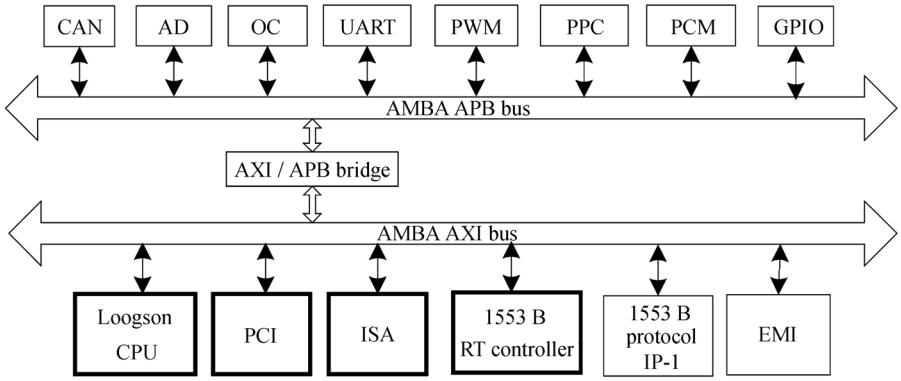


图 1　ASIC 芯片的系统架构

Fig. 1　System architecture of the avionics ASIC chip

## 2　ASIC 芯片关键技术

### 2.1　芯片工作模式设计

为了适用于更多的应用场景, 本 ASIC 芯片集成了多种功能模块, 例如 MIPS 核、PCI 核、ISA 核、1553B 总线接口等, 如何让这些模块相互协调工作, 不发生干扰, 更好地服务于航天器的综合电子系统, 是本 ASIC 芯片的一个关键技术.

根据航天器内数据管理系统常见的实现方式, 芯片工作模式设计可分为四类, 即 1553B 简易终端控制模式、PCI 控制模式、ISA 控制模式和内部 CPU 核控制模式, 由此设定 ASIC 芯片内部的四个主设备为 1553B 简易终端、PCI 接口、ISA 接口和 MIPS 核. 芯片在上电时通过设置芯片外部配置管脚的高低只选择某一主设备使能, 其他主设备均处于关闭状态. 这四种工作模式可以满足卫星上常用的数据采集和状态控制功能, 并且适用于多种不同的应用场景.

1553B 简易终端模式通过 1553B 总线上的总线控制器 BC 对 ASIC 芯片内部的寄存器进行配置, 无需内部或外部的 CPU 干预, 是 ASIC 芯片主要的技术特色和典型应用. 在这种工作模式下, 可以控制的外围功能部件包括 UART, AD, OC, PWM, PPC, PCM, GPIO, 此时 ASIC 芯片只能作为 1553B 总线的一个远程终端 RT, 由总线上的总线控制器 BC 来控制远程终端的数据采集和状态控制. 在这种工作模式下, 1553B 简易终端模块通过分析总线控制器发来的消息, 按照 1553B 简易终端模块中的定义执行相应操作, 例如进行 AD 采集并将数据通过 1553B 总线发给 BC, 或者控制 OC 门输出一定宽度的脉冲, 控制 PCM 遥测遥控数据等.

芯片内部的 MIPS 核是中国科学院计算技术研究所提供的龙芯 LS132 核, 其性能相当于 80C51 单片机, 用于遥测遥控等低速应用场合, 高速数据处理应用使用的是 WH1770 芯片. 当芯片工作在内部 CPU 核控制模式时, 需要通过 EMI 接口外接 ROM, RAM, FLSH 等存储芯片配置计算机最小系统, 可以实现功能包括 1553B 协议处理器、CAN 接口、AD、OC 门、UART、PWM、PPC、PCM 遥测遥控和 GPIO. 芯片上电后, 应通过软件初始化配置相关功能模块的寄存器.

ASIC 芯片的另一种工作模式是允许外部 CPU 通过 PCI 接口或 ISA 接口来控制芯片工作, 大大增加了芯片使用的灵活性和适用场合. 使用时通过 PCI 接口或 ISA 接口完成对相关功能模块的初始化和数据交换. PCI 或 ISA 控制模式均可以实现 1553B 协议处理器、CAN 接口、AD、OC 门、UART、PWM、PPC、PCM 遥测遥控和 GPIO 功能.

### 2.2　IP 核开发与应用

IP 复用是当前 ASIC/SOC 设计方法中的核心概念和关键技术, 其思想是一个经过充分验证的设计应当具有完整的设计文档、全面的测试代码和良好的配置能力, 以便将其重复应用于其他设计中. 芯片采用的龙芯、PCI、ISA、CAN 等 IP 核都是经过充分测试验证的, 中国科学院空间科学与应用研究中心自行研制了包括 1553B 协议处理器、1553B 简易终端以及其他片上外设的 IP 核, 这里重点介绍 1553B 协议处理器和 1553B 简易终端的 IP 核设计.

1553B 协议处理器在设计时, 通过详细研究 MIL-STD-1553B 数据总线协议, 参考型号任务中常用的 DDC 公司的 BU-61580 芯片, 在其存储管理和运行机制的基础上进行了改进和创新. BU-61580 的设计思想主要包括以下几个方面. ① RT 的非法指令表验证、子地址控制字查找表、RT 描述符堆栈; ② BC 以帧的形式工作, 一帧至少包含一条信息, 支持单帧工作也支持帧自动重复; ③支持单消息和多消息 (循环缓冲器) 模式. BU-61580 芯片的不足之处是, 芯片设计及存储管理复杂. 用户使用困难, 操作难度大; 芯片与 CPU 的接口设计复杂, 需要加译码逻辑等; CPU 读写 61580 时, 通常需要两遍, 因为当前读操作得到的是上一读操作的值. 在本 IP 核设计过程中, 针对以上问题, 对其进行改进. 第一, 参照其存储管理机制对芯片功能进行简化, 由于设计周期、芯片面积等因素限制, 仅实现了 BC 和 RT 两个功能模块; 第二, BC 与 RT 逻辑功能分开, 由于 BC 与 RT 不同时有效, 因而对其外围逻辑共享达到资源的优化配置和低功耗; 第三, 简化 ASIC 芯片与 CPU 接口, 对其读写无需两次, 且支持三种工作模式, 即内部 CPU 核、PCI 和 ISA 控制模式.

根据以上设计思想, 1553B 协议处理器的功能模块如图 2 所示, 包括 AXI 从设备接口、寄存器模块、BC 模块、RT 模块、RAM 仲裁模块、共享 RAM、通道选择模块、编码器模块、解码器模块以及计时器, 功能模块的详细设计见文献 [11].

使用时用户可通过 CPU 设置 1553B 协议处理器的配置寄存器来选择芯片工作在 BC 模式还是 RT 模式. 由于 ASIC 芯片仅集成了数字逻辑, 因而在使用 1553B 总线功能时, 需要在外面连接 1553B 收发器. 支持的 1553B 收发器是 HOLT 公司的 HI-1568. HI-1568 具有宇航级芯片, 有利于后续的 ASIC 空间应用.

1553B 简易终端是一个简易的 1553B 远程终端 RT, 通过对总线上的总线控制器 BC 发送的消息进行译码分析来实现相应功能. 1553B 简易终端能够作为 ASIC 芯片的主设备自主运行, 是充分利用了 1553B 总线的传输协议. BC 与 RT 之间的数据传输通常包含 1 个命令字、不多于 32 的数据字和 1 个状态字, 每个远程终端中的接收和发送功能被分为 32 个子地址, 其中 1~30 表示一般的发送和接收消息, 0 和 31 表示方式命令. 利用这个特点, 可通过 BC 至 RT 的传输形式给 RT 发送外设的配置信息和数据, 而通过 RT 至 BC 的传输形式将 RT 的数据、寄存器状态和执行结果返回 BC. 1553B 简易终端的发送和接收子地址定义列于表 1. 根据这个思想设计的 1553B 简易终端如图 3 所示, 其包括曼彻斯特编码模块、曼彻斯特解码模块、收发器控制模块、通道选择模块、RT 协议状态机模块、发送子地址数据缓冲区、接收子地址数据缓冲区以及 AXI 写传输接口模块和 AXI 读传输接口模块.

1553B 简易终端工作过程如下. 芯片上电复位期间, 通过外部配置管脚配置 ASIC 工作在 1553B 简易终端模式, 然后 ASIC 等待 1553B 总线上的消息; 上电后首先需要确认 1553B 总线链路是通的, 因此 ASIC 先收到一条长抱环接收命令, 例如表 1 所示接收子地址 30, 接收 1 个数据并将其存在长抱环寄存器中, 之后 ASIC 收到一条发送命令 (发送子地址

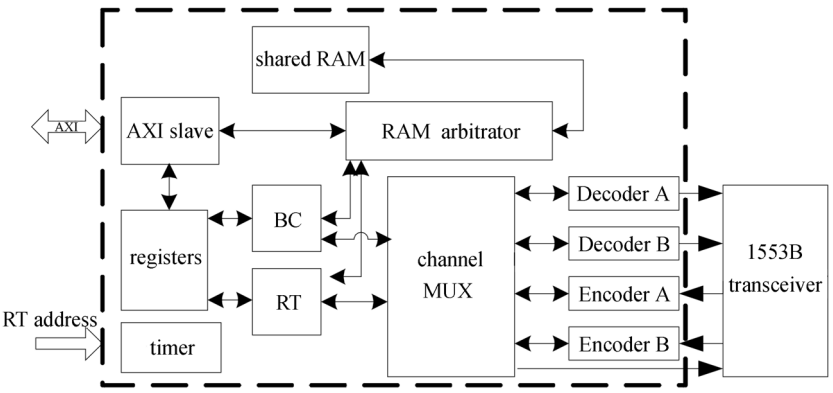


图 2 1553B 总线 IP 核功能模块划分

Fig. 2 Functional structure of the 1553B IP core

30 发送一个数据), ASIC 返回 1 个状态字和 1 个数据字 (长抱环寄存器中的值); 由于芯片外设上电时均处于关闭状态, 需要主设备为其打开门控, 所以简易终端接收到一条开门控消息 (接收子地址 29), 简易终端根据接收数据打开相应功能模块的门控; 门控打开后即可对功能模块进行操作. 例如简易终端接收到一条 BC 至 RT 的消息后 (接收子地址 1), 将数据暂存在接收子地址数据区, 根据定义, 接收子地址 1 接收的数据是 AD 模块的配置参数, 待数据接收完毕, 简易终端通过 AXI 总线将配置参数写入 AD 模块的寄存器. 1553B 总线上的 BC 可以对写入 AD 模块的配置参数进行验证, 使用发送子地址为 1 的 RT 至 BC 的命令即可. 表 1 给出了 1553B 简易终端发送和接收子地址的部分定义. 其他功能模块的配置和使用与 AD 类似.

ASIC 芯片中外设 IP 核设计的基本思想是通用性和适应性, 使芯片能够适用于更多应用场合. 通用性和适应性设计的具体实现方式是通过外设的配置寄存器来适用不同应用需求. 例如, 在 AD 采集控制逻辑的设计中, 预分频寄存器用于设置 AD 采集频

**表 1　1553B 简易终端的部分子地址分配**

**Table 1　Partial sub-address definitions of the simple 1553B RT mode**

| 接收子地址 | 接收子地址定义 | 发送子地址 | 发送子地址定义 |
|---|---|---|---|
| 0 | 方式命令 | 0 | 方式命令 |
| 1 | 写 AD 采集配置参数 | 1 | 读 AD 采集配置参数 |
| 2 | 写 PWM 配置参数 | 2 | 读 AD 转换后数据 |
| 3 | 写 UART 配置参数 | 3 | 读 UART 配置参数 |
| 4 | 写 UART 发送缓冲区 | 4 | 读 UART 接收缓冲区 |
| | ... | | ... |
| 29 | 开功能模块门控 | 29 | 读门控寄存器 |
| 30 | 长抱环接收 | 30 | 长抱环接收 |
| 31 | 方式命令 | 31 | 方式命令 |

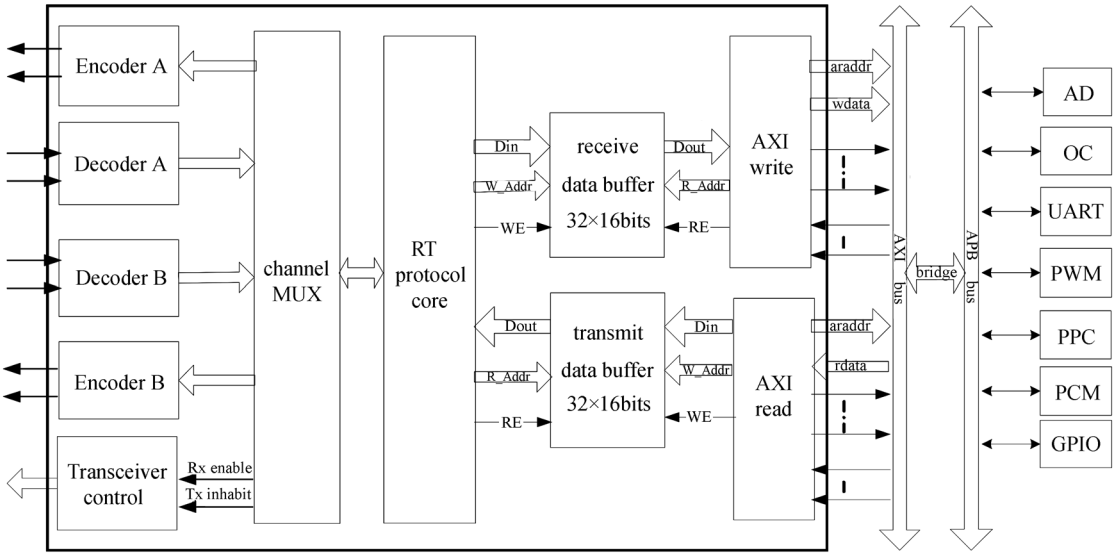


图 3　1553B 简易终端功能

Fig. 3　Functional structure of the simple 1553B RT mode

率, AD 配置寄存器用于启动一轮 AD 采集、AD 采集控制信号 (片选、启动、输出使能) 的高低状态选择, AD 采集周期寄存器用于设置一次 AD 采集的时钟数, 片选、启动、输出使能信号的前沿寄存器用于设置信号有效沿的位置, 片选、启动、输出使能信号的脉宽寄存器用于设置有效信号持续的宽度, 支持中断和查询两种数据输出方式. 因此, AD 采集控制逻辑的设计很灵活, 可用于多种 AD 芯片的采集控制.

### 2.3 可靠性设计

面向空间应用的 ASIC 芯片必须加强可靠性和容错机制设计 [12]. 在进行可靠性要求、功能关键性和实现代价分析后, ASIC 芯片采取的可靠性和容错设计如下.

为了保证芯片的抗单粒子能力, ASIC 设计中对芯片内部集中的存储器采取传统的 ECC 结构实现纠一检二功能; 对时钟和触发器进行三模冗余的设计结构. ASIC 设计采用环栅技术, 以防止单粒子锁定对芯片造成的损伤.

当发生 ECC 校验错误时, 产生中断并将校验错误的地址和错误类型存入寄存器待 CPU 读取, 由 CPU 软件修复并单粒子计数加一.

触发器的三模冗余设计结构如图 4 所示. ASIC 的每个时钟 (包括系统主时钟 33 MHz、1553B 模块时钟 16 MHz) 进入芯片后分别变成三个独立的时钟 CK, CKA, CKB, 其中 CK 为原始时钟, CKA 和 CKB 为由 CK 产生的时钟, 相应地每个寄存器也变为三个寄存器, 这样可以避免时钟产生的软错误. 为避免三个寄存器对同一个数据输入进行同时采样而无法避免数据端产生的软错误 (⩽ 1.5 ns 的毛刺), CK, CKA, CKB 的时钟设计成相位差可调以避免发生对数据端的同时采样. 当三模冗余的一个触发器被单粒子打翻时, 寄存的输出不受影响, 在时钟的下一拍, 被打翻的触发器被恢复.

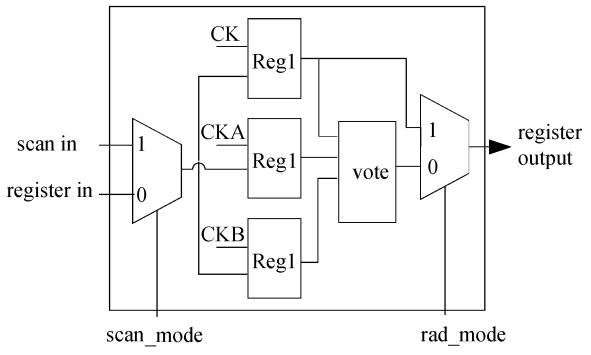


图 4 触发器三模冗余结构

Fig. 4 Triple modular redundancy (TMR) of flip-flop

另外, 为防止芯片上电复位时出现误操作, 芯片设计时在每个功能模块前均加了一个门控, 上电复位后首先由主设备将需要的门控打开, 这时时钟输入到功能模块, 再由主设备进行初始化设置.

在具体的应用中, 如果单粒子锁定 SEL 达不到任务要求, 可根据需要在电源处加限流电阻, 以防止单粒子锁定现象的发生. 针对高低温环境, 芯片和 IP 核设计时进行降额设计, 实际工作频率最低可以降到 16 MHz.

### 2.4 低功耗设计

航天器数据系统 ASIC 芯片的研发旨在提高航天器电子系统的集成度、综合化、轻小型化, 从而达到降低系统质量、体积和功耗的目的. 在芯片设计中, 低功耗也是系统设计的一项重要内容. 由于 CMOS 电路中功耗主要来自电路内部动态翻转形成的动态功耗 (约占芯片总功耗的 70%∼90%), 而芯片的动态功耗与电路工作频率和工作电压的平方成正比, 在芯片的工作电压确定后, 降低工作频率是降低功耗的一种有效方法. 在 ASIC 芯片工作频率确定的情况下, 提高流水每拍的执行效率是芯片低功耗设计的一个基本思想. AXI 总线在设备读写逻辑、1553B 协议处理器、1553B 简易终端和其他外设 IP 核的设计方面均遵循该低功耗设计思想, 设计过程中还将实施软件优化、RTL 代码优化和门级优化等低功耗设计技术.

此外, ASIC 芯片低功耗设计技术还包括采用低功耗的 AMBA 片内系统总线; 在每个功能模块前均设置一个门控, 上电后通过软件初始化选择打开相关模块的门控, 关闭其他模块门控, 切断其工作时钟, 达到降低功耗的目的.

## 3 功能验证

ASIC 芯片的系统仿真由中国科学院计算技术研究所龙芯团队进行. ASIC 芯片在投产之前需通过 FPGA 进行逻辑设计验证, 看是否符合设计要求. 根据 ASIC 芯片的功能和特点, 中国科学院空间科学与应用研究中心和计算技术研究所合作完成 FPGA 验证板的设计及调试. 图 5 给出了 FPGA 验证板的总体设计框架和所使用芯片类型, 其设计思想为

四种工作模式设计验证、1553B 总线功能接口验证及外设功能验证. 在四种工作模式设计的验证实验中, 通过外接高性能的龙芯 CPU (WH1770) 对 ASIC 进行 PCI 和 ISA 访问, 实现 ASIC 芯片的 PCI 接口控制和 ISA 接口控制; 通过外接启动 PROM 和 SRAM/SDRAM 实现 ASIC 芯片内部 CPU 核的控制; 通过插有标准 1553B 板卡的 PC 机模拟 1553B 总线上的 BC, 实现对 ASIC 芯片 1553B 简易终端的控制. 1553B 总线功能接口验证包括 1553B 协议处理器设计和 1553B 简易终端模块设计的验证. 外设功能的验证包括 CAN 总线功能模块、AD 采集模块、OC 输出控制模块、UART 串口功能模块、PCM 输出模块、PCM 输入模块、PWM 输出模块以及 GPIO 模块的验证.

所采用的验证 FPGA 是 XILINX 的 Spatan-6; 1553B 总线测试板卡是 DDC 的全功能 1553B 总线 PCI 测试板卡, PC 测试软件是 TestSIM; CAN 总线测试使用的是 CAN-bus 盒子及其配套测试软件. AD 采集芯片采用的是 AD976A 和模拟多路选择器 MAX354 采集多路模拟量, UART 芯片采用 MAX-3232 芯片与 PC 机进行串口通信, OC 输出采用了 74LS06. OC, PWM, PCM 输出和 GPIO 输出可通过示波器观察进行验证, AD 和 GPIO 输入可以通过外部输入与实验结果进行比较验证, PCM 输入功能可通过将 PCM 输出连接到 PCM 输入端, 对 PCM 接收到的数据与发送的数据进行对比来验证.

## 4　应用场景

本 ASIC 芯片采用瓷封的 CBGA 封装形式, 芯片尺寸仅 2.7 cm×2.7 cm, 重量只有 10 g, 具有 276 个管脚, 由于芯片内集成了多种接口和外设功能, 而一些模块并不同时工作, 故采用管脚复用的方法解决管脚紧张问题.

芯片系统设计时考虑的典型应用是 1553B 接口板和遥测遥控, 如图 6 所示. ASCI 芯片应用在总线

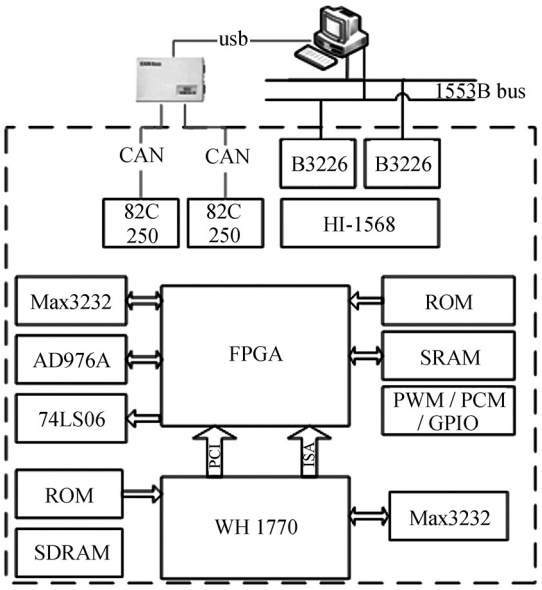


图 5　ASIC 芯片的 FPGA 验证方案

Fig. 5　FPGA design for ASIC codes test

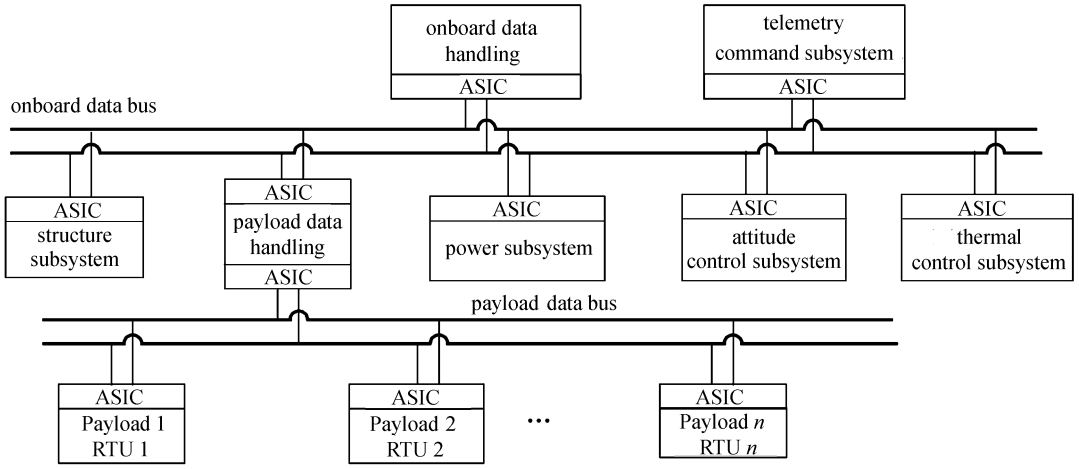


图 6　航天器数据系统 ASIC 芯片的应用场景

Fig. 6　One application case of the spacecraft data system ASIC chip

接口板中, 主要使用的是 1553B 协议处理器或者 CAN 核的功能, 支持内部 CPU 核、PCI 和 ISA 控制三种工作模式. ASCI 芯片应用在遥测遥控中, 主要使用的是芯片外设功能, 例如 AD 采集、OC 控制、PCM 输入输出、UART 等, 支持四种工作模式, 但 1553B 简易终端控制模式实现最简单, 不需要外接 CPU 或配置 CPU 最小系统, 就可以实现遥测遥控功能.

## 5 结论

提出并实现了一种面向航天器综合电子的 ASIC 芯片自主设计方案, 经过模块仿真验证、芯片系统仿真和 FPGA 实验验证, 该芯片具有性能优良、可靠性高、接口丰富以及应用范围广的优点, 能够满足航天器数据系统常规功能需求. 根据元器件鉴定要求, ASIC 芯片已通过电特性测试、老练实验、ESD 实验、高低温、力学和抗辐照实验, 其性能均达到相关要求. 本文设计 ASIC 芯片目前已在两个型号任务中得到应用 [13], 功能和性能指标均能满足相关任务需求.

## 参考文献


[1] Luo Zhiqiang. Avionics Integrated Systems [M]. Beijing: Beijing Aerospace University Press, 1990:3-10. In Chinese (罗志强. 航空电子综合化系统 [M]. 北京: 北京航空航天大学出版社, 1990: 3-10)

[2] Caffrey R, Cuviello M, Phyllis H, *et al*. A standard spacecraft data system on a chip: NASA Goddard Space Flight Center's Essential Services Node (ESN) [C]// IEEE Aerospace Applications Conference Proceedings. Snowmass, Aspen: IEEE, 1997: 505-521

[3] Tan Weizhi, Gu Yingqi. Space Data System [M]. Beijing: China Science and Technology Press, 2008: 5-12. In Chinese (谭维炽, 顾莹琦. 空间数据系统 [M]. 北京: 中国科学技术出版社, 2008: 5-12)

[4] Vladimirova T. A novel autonomous low-cost on-board data handling architecture for a pin-point planetary lander [J]. *Acta Astron.*, 2011, **68**:811-829

[5] Elias M. Development of a low cost, fault tolerant, and highly reliable command and data handling computer (pulse) [C]//60th International Astronautical Congress. Daejeon: IAC, 2009: 3904-3909

[6] Ibrahim bin S A, Sabri S F, Salleh N A. Preliminary hardware design and development of on-board data handling for pico-satellite in national space agency [J]. *Appl. Mech. Mater.*, 2012, **225**: 492-496

[7] Zhang Weigong, Duan Qingya, Wang Jianfeng, *et al*. The method and study of SOC for managing system of spacecraft bus [J]. *J. Astron.*, 2005(03):373-376. In Chinese (张伟功, 段青亚, 王剑峰, 等. 航天器总线管理系统的 SOC 设计与研究 [J]. 宇航学报, 2005(03):373-376)

[8] Xu Liqing. Research on the 1553B Bus Interface Technologies and FPGA Implement [D]. Xi'an: Northwestern Polytechnical University, 2006. In Chinese (徐丽清. 1553B 总线接口技术研究及 FPGA 实现 [D]. 西安: 西北工业大学, 2006)

[9] Yuan Ziyang. Research on Space Irradiation Environment Adaptability of Rad-hard Godson Processor and an Design of Aerospace Computer Based on it [D]. Beijing: University of Chinese Academy of Sciences, 2009. In Chinese (袁子阳. 抗辐射加固 "龙芯" 处理器的空间辐射环境适应性研究及航天计算机设计 [D]. 北京: 中国科学院大学, 2009)

[10] Yang Ye. Software Design and System Verification on Anti-radiation Godson SOC for Space Application [D]. Beijing: University of Chinese Academy of Sciences, 2010. In Chinese(杨晔. 抗辐照加固 "龙芯"SOC 的航天应用研究软件设计与系统验证 [D]. 北京: 中国科学院大学, 2010)

[11] Zhou Li, An Junshe, Xie Yan, *et al*. Design of a 1553B IP core based on ASIC technology [J]. *Chin. J. Space Sci.*, 2014, **34**(01):127-136. In Chinese (周莉, 安军社, 谢彦, 等. 基于 ASIC 技术的 1553B IP 核的设计 [J]. 空间科学学报, 2014, **34**(01):127-136)

[12] Sturesson F, Gaisler J, Ginosar R. Radiation characterization of a dual core LEON3-FT processor [C]//12th Proceedings of the European Conference on Radiation and its Effects on Components and Systems. Sevilla, Spain: IEEE, 2011:938-944

[13] Chinese Academy of Sciences Space Strategic Studies Group. Space Science & Technology in China: A Roadmap to 2050 [M]. Beijing: Science Publishing Company, 2009: 67-70. In Chinese (中国科学院空间领域战略研究组. 中国至 2050 年空间科技发展路线图 [M]. 北京: 科学出版社, 2009: 67-70)